

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-064401

(43)Date of publication of application : 08.03.1996

(51)Int.Cl.

H01C 1/034

H01C 1/016

H01C 1/14

H01C 7/00

(21)Application number : 06-201842

(71)Applicant : ROHM CO LTD

(22)Date of filing : 26.08.1994

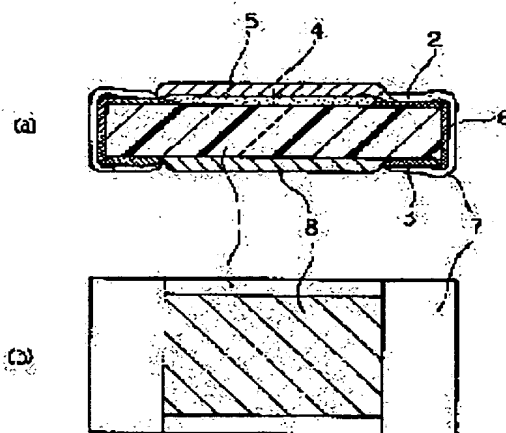
(72)Inventor : MORI TOSHIHIRO

(54) CHIP-LIKE ELECTRONIC PART

(57)Abstract:

PURPOSE: To improve bending resistance strength by providing an insulation layer directly to a lower side of a ceramic substrate in a chip-like electronic part.

CONSTITUTION: The title part is comprised of a pair of upper electrode layers 2 formed by printing, drying and baking conductive paste in both end parts of an upper side of a ceramic substrate 1, a pair of lower electrode layers 3 formed by using conductive paste in both end parts of a lower side of the substrate 1, a resistor layer 4 formed by printing, drying and baking resistance paste extending over the upper electrode layers 2, a protection layer 5 formed by printing, drying and baking or thermally setting glass paste or resin paste on the resistor layer 4, a side electrode layer 6 formed by applying, drying and baking or thermally setting conductive paste or conductive resin paste to connect the electrode layer 2 and the electrode layer 3 to the substrate 1 and the both edge faces thereof, a plating layer 7 formed on the electrode layers 2, 3, 6 and an insulation layer 8 formed by printing, drying and baking or thermally setting insulation paste on a ceramic surface of a lower side of the substrate 1.



LEGAL STATUS

[Date of request for examination] 22.09.2000

[Date of sending the examiner's decision of rejection] 01.06.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64401

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.⁶

H 0 1 C 1/034
1/016
1/14
7/00

識別記号

庁内整理番号

F I

技術表示箇所

Z
B

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21) 出願番号

特願平6-201842

(22) 出願日

平成6年(1994)8月26日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 森 敏博

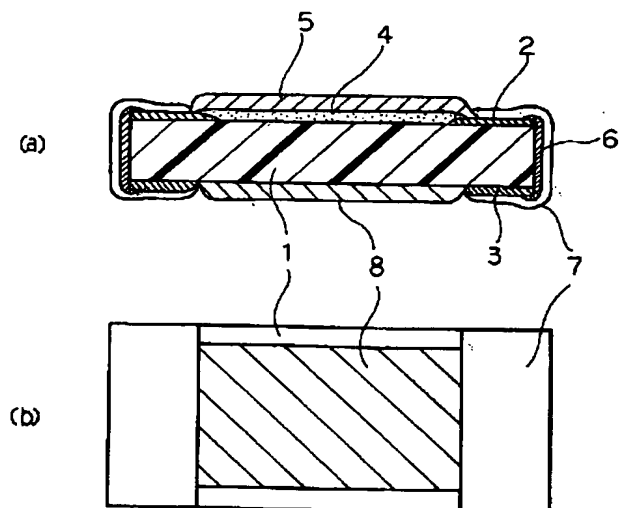
京都市右京区西院溝崎町21番地 ローム株式会社内

(54) 【発明の名称】 チップ状電子部品

(57) 【要約】 (修正有)

【目的】 セラミック基板の一方面のみに電子素子が設けられたチップ抵抗器等のチップ状電子部品の抗折強度を向上して、上記チップ状電子部品の割れを防止する。

【構成】 セラミック基板1の電子部品が設けられていない側のセラミック基板1の露出部に絶縁層8を設けた。



【特許請求の範囲】

【請求項 1】 セラミック基板の上面に電子素子が設けられ、上記セラミック基板の下面に直接的に絶縁層が設けられていることを特徴とするチップ状電子部品。

【請求項 2】 セラミック基板の両端部に、該セラミック基板の上面、端面及び下面に亘って電極層が設けられている請求項 1 に記載のチップ状電子部品。

【請求項 3】 絶縁層の厚みがセラミック基板における下面の電極層の厚みと同一もしくはそれ以上である請求項 2 に記載のチップ状電子部品。

【請求項 4】 絶縁層の熱膨張係数がセラミック基板の熱膨張係数よりも大きい請求項 1 ～ 3 に記載のチップ状電子部品。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、チップ抵抗器、チップネットワーク抵抗器、厚膜ハイブリッド IC 等のセラミック基板の一方の面に電子素子を有する面実装タイプのチップ状電子部品に関するものである。

【0002】

【従来の技術】 チップ抵抗器、チップネットワーク抵抗器、厚膜ハイブリッド IC 等の面実装タイプのチップ状電子部品は、アルミナ等のセラミック基板の上面側に抵抗体等の電子素子が設けられ、上記セラミック基板の下面側はその大半がセラミック表面が露出した状態である。

【0003】 例えば、従来のチップ抵抗器は、図 2 に示すように、セラミック基板 11 と、該セラミック基板 11 の上面の両端部に設けられた一対の上面電極層 12 と、上記セラミック基板 11 の下面の両端部に設けられた一対の下面電極層 13 と、上記一対の上面電極層 12 に跨って設けられた抵抗体層 14 と、該抵抗体層 14 上に設けられた保護層 15 と、上記セラミック基板 11 の両端面上に上記上面電極層 12 と上記下面電極層 13 とに接続するように設けられた側面電極層 16 と、上記上面電極層 12、下面電極層 13 及び側面電極層 16 の露出部上に設けられたニッケルメッキ層及び半田メッキ層からなるメッキ層 17 と、から構成されており、上記セラミック基板 11 の下面における一対の下面電極層 13 間はセラミック基板が露出した状態となっている。

【0004】 これらチップ状電子部品は、一般に図 3 に示すように、チップ状電子部品 A の上面の略中央部を実装機における吸着コレット B 等により保持され、プリント基板等の実装基板 C 上の所定の位置に搬送・搭載し半田付けされて用いられる。

【0005】

【発明が解決しようとする課題】 上記のようにチップ状電子部品 A を実装機で実装するとき、上記チップ状電子部品 A は、吸着コレット B で実装基板 C 上に搭載されるために、上記チップ状電子部品 A には、上記吸着コレッ

ト B による上方からの押圧力が及ぶことになり、図 4 に示すように、チップ状電子部品 A が割れるという問題がある。特に上記に示したチップ抵抗器のように、下面電極層 13 が形成された部分が、下面電極層 13 間のセラミック基板の露出面から突出している如く、チップ状電子部品 A がその下面両端部で実装基板 C に支持される場合は、上記両端部が支点となって吸着コレット B によりチップ状電子部品 A のセラミック基板が露出する中央部がたわみ上記割れが生じ易いのである。

【0006】 また、上記チップ状電子部品 A の割れの問題は、チップ状電子部品 A を実装基板等へ実装した後に、熱により上記実装基板が膨張し、反りが生じたときにも発生することがあるのである。この割れは、チップ状電子部品に用いられるセラミック基板を製造したときに該セラミック基板の表面に生じたボイドや製造後に生じたキズの部分でセラミック基板の割れ強度（抗折強度）が低下し、上記ボイドもしくはキズにある一定以上の応力がかかったときに、該ボイドもしくはキズを起点として起点として亀裂が発生することにより生じるのである。この割れの原因となるボイドは、例えばアルミナ基板であれば、アルミナの純度が低下するに従い発生率が大きくなる。しかしながら、通常用いられるアルミナ基板は、アルミナ含有率が約 96 ～ 97 % で、不純物或いは添加物として例えば酸化シリコン、酸化カルシウム、酸化マグネシウム等が含まれ、このアルミナ基板をよりアルミナ含有率の高いものとする、アルミナ基板を製造するときの焼成温度が高くなり工程管理を困難とし、消費エネルギー的にも不利となり好ましくない。

【0007】 また、上記チップ抵抗器等は、実装基板へ実装された状態において、セラミック基板の下面における電極層の面が、セラミック基板の下面におけるセラミック基板の露出面よりも下方に位置するために、上記セラミック基板の下面における電極層と実装基板における配線パターンの所定の接続部との間に半田層が介在し難しく、もっぱらセラミック基板の端面と上記接続部との間に生じる半田フィレットにより接続されていることになり、半田付け強度が必ずしも十分とは言えなかった。更に、上記のようにセラミック基板の下面における電極層の面が、セラミック基板の下面におけるセラミック基板の露出面よりも下方に位置するために、実装基板等へ実装した状態では、上記セラミック基板の露出面と実装基板との間に僅かな隙間が生じ、電子部品が小型になるにつれて、上記隙間に半田が流れ込み電極層間でショート不良を招来する危険性が生じるのである。

【0008】 本発明は、上記チップ状電子部品の抗折強度を向上して、上記割れの問題を軽減乃至解消することを目的とする。また、本発明は、チップ状電子部品の実装基板等に対する半田付け強度を向上し、更には実装時の電極層間のショート不良の軽減を図ることを目的とする。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成すべくなされたもので、次のチップ状電子部品に係るものである。

① セラミック基板の上面に電子素子が設けられ、上記セラミック基板の下面に直接的に絶縁層が設けられていることを特徴とするチップ状電子部品。

【0010】② セラミック基板の両端部に、該セラミック基板の上面、端面及び下面に亘って電極層が設けられている上記①に記載のチップ状電子部品。

③ 絶縁層の厚みがセラミック基板における下面の電極層の厚みと同一もしくはそれ以上である②に記載のチップ状電子部品。

④ 絶縁層の熱膨張係数がセラミック基板の熱膨張係数と同一もしくはそれ以上であることを特徴とする上記①～③に記載のチップ状電子部品。

【0011】

【発明の作用及び効果】上記のようにチップ状電子部品におけるセラミック基板の下面に直接的に絶縁層を設けたので、該絶縁層下のセラミック基板表面にあるボイド、キズ等には、上記絶縁層が充填され、セラミック基板は補強され強度が向上されることとなる。従って、チップ状電子部品の割れの問題を略解消し得るのである。

【0012】上記チップ状電子部品におけるセラミック基板の両端部に、該セラミック基板の上面、端面及び下面に亘って電極層を設け、且つ上記絶縁層の厚みをセラミック基板の下面における電極層の厚みと同一もしくはそれ以上としたときは、これを実装基板等に半田付けにより実装したときに、実装基板と絶縁層との間に僅かな隙間が生じるか或いは上記隙間が殆ど生じなくなり、セラミック基板の下面において、上記セラミック基板の両端部の電極層間でショートを生じる危険性を軽減できるのである。

【0013】また、上記において、絶縁層の厚みをセラミック基板の下面における電極層の厚みよりも厚くして、実装したときに上記下面における電極層と実装基板の配線パターンにおける接続部との間に隙間が生じるときは、この隙間に半田が介在して良好な半田フィレットが生じ、半田付け強度が向上するのである。更に、本発明において上記絶縁層の熱膨張係数をセラミック基板のものよりも大きくしたときは、チップ状電子部品に熱ストレスがかかった場合、該チップ状電子部品のセラミック基板の膨張率よりも上記絶縁層の膨張率が大きいこととなり、絶縁層はセラミック基板に比して柔軟的となるので、絶縁層はセラミック基板により膨張を抑制される方向に力が作用し、絶縁層のより効果的な熱的強度を得ることができ、絶縁層に亀裂や割れが生じ、セラミック基板が割れることを一段と軽減できるのである。

【0014】

【実施例】以下、本発明をチップ抵抗器に適用したとき

の実施例を示し、本発明の特徴とするところをより詳細に説明する。図1に示すように、本発明の実施例におけるチップ抵抗器は、例えば次のような構成を有するものである。即ち、アルミナ等からなるセラミック基板1（約長さ5×幅2.5×厚さ0.5mm）と、該セラミック基板1の上面の両端部に例えばAg、Ag/Pdを含有するメタルグレーズ系導電ペーストを印刷・乾燥・焼成して設けられた一对の上面電極層2（層厚約0.01mm）と、上記セラミック基板1の下面の両端部に上記メタルグレーズ系導電ペーストをもちいて設けられた一对の下面電極層3（層厚約0.01mm）と、上記一对の上面電極層2に跨って抵抗ペーストを印刷・乾燥・焼成して設けられた酸化ルテニウム系の抵抗体層4（層厚約0.02mm）と、該抵抗体層4上にガラスペーストもしくは樹脂ペーストを印刷し、乾燥・焼成もしくは熱硬化させて設けられた1層もしくは2層以上からなる保護層5（層厚約0.02mm）と、上記セラミック基板1の両端面に上記上面電極層2と上記下面電極層3とに接続するようにメタルグレーズ系導電ペーストもしくは導電性樹脂ペーストを塗着し、乾燥・焼成もしくは熱硬化して設けられた側面電極層6（層厚約0.02mm）と、上記上面電極層2、下面電極層3及び側面電極層6の露出部に設けられたニッケルメッキ層及び半田メッキ層とからなるメッキ層7（層厚約0.01mm）と、上記一对の下面電極層間において上記セラミック基板1の下面のセラミック表面上に、例えば硼硅酸系ガラス等のガラスペースト、エポキシ樹脂等の熱硬化性樹脂ペースト等の絶縁体ペーストを印刷等して塗着し、乾燥・焼成もしくは熱硬化させて設けられた絶縁層8（層厚約0.02mm）と、から構成されている。

【0015】上記チップ抵抗器において、絶縁層8は、その熱膨張係数が上記セラミック基板1の熱膨張係数に比して小さなものとされてもよいが、同一もしくはそれ以上のものとされることにより、上記チップ抵抗器の抗折強度をより一層向上することができる。また、上記実施例においては、上記絶縁層8とセラミック基板1における下面両端部の電極層の厚みとを略同一としたが、絶縁層8の厚みをセラミック基板における下面両端部の電極層の厚みより薄くするか、或いは厚くして設けてもよく、特に上記絶縁層8の厚みを、チップ抵抗器を実装基板等の基板上に設けられた配線層上に半田付けして実装したときに上記下面の電極層と配線層との間に隙間が生じるか、上記絶縁層と実装基板との間に隙間が無くなる程度に厚くして設けたときは、上記下面両端部の電極層間に半田が流れ込む等してショートが生じることを一層軽減できるとともに、半田付け強度をも向上し得る。また、このように上記絶縁層8をセラミック基板1の下面両端部の電極層より厚くして突出したようにするとフェイスダウンボンディングをするときの吸着コレットによる保持をより確実に行うことができる。更に、上記絶縁

層 8 は、上記セラミック基板 1 の下面におけるセラミック表面の露出部全域に設けてもよいが、必ずしもこれに限定されることなく、例えば必要な強度が得られる程度、製造工程上の不都合がない程度等の範囲で適宜設ければよい。

【0016】（抗折強度試験）上記実施例のチップ抵抗器及び該チップ抵抗器において絶縁層 8 を設けなかったチップ抵抗器（従来のチップ抵抗器）の各 120 個を資料として、それぞれの破壊強度を J I S（日本工業規格）C 2 1 4 1-7 8、電気絶縁用セラミック材料試験方法に記載の抗折強度の試験方法に準じて測定し、比較した。

【0017】尚、上記資料としたチップ抵抗器において、セラミック基板 1 としてはアルミナ含有率約 9 6 % のアルミナ基板（熱膨張係数約 $3 \times 10^{-7}/K$ ）を、保護層 5 として硼硅酸鉛ガラスを、また上記実施例のチップ抵抗器における絶縁層 8 として硼硅酸鉛ガラス（約長さ $3.7 \times$ 幅 2 mm 、熱膨張係数約 $3 \times 10^{-6}/K$ ）をそれぞれ用いた。

【0018】上記抗折試験の結果、従来のチップ抵抗器の破壊強度の平均値が 3.52 Kg であったのに対して実施例のチップ抵抗器の破壊強度の平均値が 4.96 Kg であり、従来に比して実施例のチップ抵抗器の破壊強

度が約 4 0 % 向上したことがわかる。尚、上記実施例では、チップ抵抗器について示したが、本発明はこれに限定されることなく、例えばチップネットワーク抵抗器、厚膜ハイブリッド I C 等のセラミック基板の一方の面にのみ電子素子を有する面実装タイプのチップ状電子部品に広く適用できることは言うまでもない。

【図面の簡単な説明】

【図 1】本発明の実施例におけるチップ抵抗器の（a）断面図及び（b）下面図である。

【図 2】従来のチップ抵抗器の断面図である。

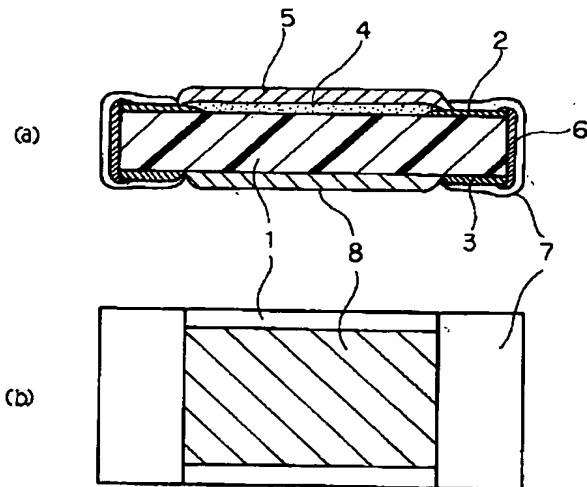
【図 3】チップ状電子部品を実装基板に実装する方法を説明する概略断面図である。

【図 4】チップ状電子部品を実装基板に実装するとき、上記チップ状電子部品に割れが生じた状態を説明する概略断面図である。

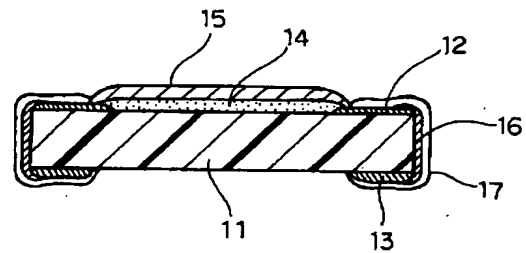
【符号の説明】

- 1 セラミック基板
- 2 上面電極層
- 3 下面電極層
- 4 抵抗体層
- 5 保護層
- 6 側面電極層
- 8 絶縁層

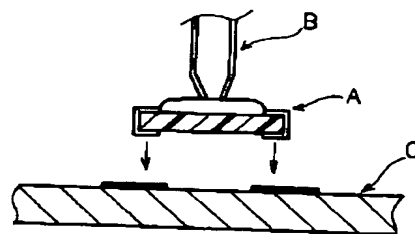
【図 1】



【図 2】



【図 3】



【図 4】

